

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-184295

(43)Date of publication of application : 18.07.1990

(51)Int.Cl.

H02P 8/00
H03K 17/687

(21)Application number : 01-298746

(71)Applicant : SGS THOMSON MICROELECTRON
SRL

(22)Date of filing : 16.11.1989

(72)Inventor : ROSSI DOMENICO
CUOMO ANDREA
PIETROBON GIOVANNI

(30)Priority

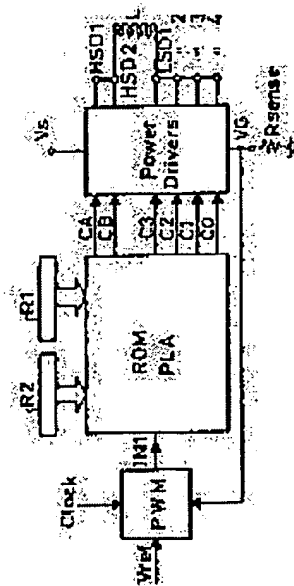
Priority number : 88 83681 Priority date : 16.11.1988 Priority country : IT

(54) MULTI-PURPOSE INTEGRATED CIRCUIT FORMED INTERNALLY TO DRIVE EXTERNAL INDUCTIVE LOAD ACCORDING TO CONNECTING SCHEME SELECTABLE BY SWITCHING MODE

(57)Abstract:

PURPOSE: To internally form a control circuit, functionally adapted to driving scheme by a selectively logic means by suitably bridging an output terminal of an integrated circuit and connecting it to an external load.

CONSTITUTION: A voltage signal, crossing a detecting resistor R_{sense} , is supplied to a PWM block, and compared with a control reference voltage V_{ref} . A pulse width modulation controller PWM generates a control signal $IN1$, regulated at its frequency and impulse coefficient by the voltage V_{ref} and a clock signal and inputs it to a logic circuit ROM-PLA. The circuit ROM-PLA decides the configuration of an output signal which conforms to the data stored in two registers $R1$ and $R2$, and supplies it to a driving terminal of a power driver.



LEGAL STATUS:

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-184295

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月18日

H 02 P 8/00
H 03 K 17/687

B 7315-5H

8214-5J H 03 K 17/687

B

審査請求 未請求 請求項の数 4 (全8頁)

⑮ 発明の名称 スイッチングモードで選択可能な接続スキームに応じて外部誘導負荷を駆動するための内部的に形成できる多目的集積回路

⑯ 特 願 平1-298746

⑰ 出 願 平1(1989)11月16日

優先権主張 ⑱ 1988年11月16日 ⑲ イタリア(IT) ⑳ 83681 A/88

㉑ 発 明 者 ドメニコ ロッソ イタリア国 チラペーニャ 27024 ビア ローマ 161

㉒ 出 願 人 エツセデエフセートム イタリア国 アグラテ ブリアンツァ 20041 ビア
ソン マイクロエレクトロニクス エツセ・
エツレ・エツレ

㉓ 代 理 人 弁理士 森 浩 之
最終頁に続く

明 細 書

1. 発明の名称

スイッチングモードで選択可能な接続スキームに応じて外部誘導負荷を駆動するための内部的に形成できる多目的集積回路

2. 特許請求の範囲

(1) 集積回路のサブライレールに接続された共通のポールを有する少なくとも1個あるいは2個でも良いハイサイドドライバパワースイッチング集積デバイス、集積回路の仮想グラウンドノードに接続された共通ポールを有する4個のローサイドドライバパワースイッチング集積デバイス、集積回路の同数の出力ターミナルの1つにそれぞれ接続された前記集積パワースイッチングデバイスのそれぞれの第2のポール、前記仮想グラウンドノードとサブライ回路の真のグラウンドノード間に接続された外部検出抵抗、前記検出抵抗を横切って存在するシグナルを検出しコントロール参照電圧と比較する手段、クロックシグナルと前記コントロール参照電圧によりそれぞれコントロール

される周波数と衝撃係数を有する少なくとも1個の実質的な方形波コントロールシグナルを発生出来るパルス幅変調コントロール回路を含んで成り、前記集積パワースイッチングデバイスのそれぞれがドライビングシグナルが供給されるドライビングターミナルを有し、かつ集積回路の出力ターミナルにサブライスキームに従って接続された1又は2以上の外部負荷をスイッチングモードで駆動する集積回路であって、

プログラミングにより形成できかつ前記パルス幅変調コントロール回路により発生する前記コントロールシグナルを少なくとも1個のその入力ターミナルを通して受け入れることができ、かつ異なるブリッジ及びユニポーラモータタイプの接続スキーム間から選択された集積回路の前記出力ターミナルへの外部負荷の接続のサブライスキームに適合する前記出力のコンフィギュレーションに従って、その出力ターミナルを通して前記集積パワースイッチングデバイスに向けて前記コントロールシグナルの関数であるドライビングシグナル

をアドレスできる少なくとも1個の論理回路を含む集積回路。

四 PWMコントロール回路が2個の重ならない方形波コントロールシグナルを発生し、形成できる論理回路が2個のその入力ターミナルを通して前記2個の重ならないコントロールシグナルを受け取る請求項1に記載の集積回路。

四 形成できる集積回路が、

集積回路の出力ターミナルを通して選択されたスキームに適合するように接続された外部負荷の接続スキームを選択するための第1のレジスタ、

前記外部接続された負荷の駆動条件をコントロールするための第2のレジスタ、

前記第1及び第2のレジスタに記憶されたデータと適合する組み合わせられた論理回路の条件を調節するために出力シグナルのコンフィギュレーションを適切に生成する読み出し専用メモリ又は等価の論理回路、

パルス幅変調コントロール回路により発生する前記コントロールシグナルと前記読み出し専用メ

モリにより生成する条件調節シグナルを受け入れ、かつ前記パルス幅変調コントロール回路により発生する前記コントロールシグナルの関数としてかつ前記読み出し専用メモリにより生成する出力シグナルのコンフィギュレーションに適合するようドライビングシグナルを生成するために適した組み合わせられた論理回路、

前記読み出し専用メモリにより発生する条件調節シグナルの関数としてブリッジタイプ及びユニポーラモータタイプドライビングモータの間から選択し、かつ前記組み合わせられた論理回路により発生し、マルチプレクサ回路の入力ターミナルに供給される前記ドライビングシグナルを、前記読み出し専用メモリにより生成する使用可能/使用禁止シグナルによりコントロールされる使用可能/使用禁止手段を通して前記集積されたパワースイッチングデバイスのドライビングターミナルに接続されているその出力ターミナル上に再生するために適した少なくとも1個のマルチプレクサとを含んで成る請求項1に記載の集積回路。

(4) マルチプレクサの出力の使用可能/使用禁止手段が、そこからそれぞれカスケードされた同様の論理ANDゲートを含み、それぞれが第1の入力ターミナルを通してマルチプレクサ回路の出力ターミナルの1つから来るドライビングシグナルを、そして第2の入力ターミナルを通してROMから来る使用可能/使用禁止シグナルを受け入れることが出来、そして使用可能条件下で出力ターミナル上にそれぞれの集積パワースイッチングデバイスのドライビングターミナルに供給されるドライビングシグナルを生成出来る請求項3に記載の集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、特定の用途のために選択されるいくつかの異なった接続の1つに依って集積デバイスの出力ターミナルを横切るように接続された単一又は複数の誘導負荷を通して駆動電流のスイッチングをコントロールするための、プログラミングにより内部的に形成できる集積回路に関する。

(従来技術とその問題点)

ステッピングモータ、変圧器、電磁石及び典型的には誘導負荷で表される類似のアクチュエータのコントロールされた駆動は、出力パワートランジスタ(典型的には「ローサイドドライバ」として参照される仮想グラウンドノードに接続された4個のパワースイッチングトランジスタと、「ハイサイドドライバ」として知られるサブライレールに接続された1又は2以上の通常は2個のパワースイッチングトランジスタ)と駆動回路を組み合わせた集積デバイスを使用することにより通常実施される。後者の回路は典型的にはクロックシグナルにより駆動されるパルス幅変調(PWM)コントロールループを含み、これは外部負荷を通して流れる電流とコントロール参照電圧の検出値の関数として出力パワースイッチングトランジスタに供給されるドライビングシグナルの「衝撃係数」をコントロールする。

この種の集積回路は当業者に周知で、ある懸念の下で多少なりとも利点を有する異なった形態を

取るが、これは実質的にはPWMコントロールループに基づくものである。これらのタイプの回路の中で特に有利なものは、バリ条約による優先権の日付として1987年10月5日を主張し1988年10月4日に出願された特願昭63-250737号に記載された電流保有原理に基づくコントロール回路であり、ここでは外部負荷を通して流れる電流用の単一電流検出抵抗を使用することにより、「デュアルハーフブリッジ」スキームに従って、又は「ユニポーラモータ」接続スキームに従って接続された2個の外部負荷を通して流れる電流を独立して調整することが可能になる。このようなスイッチングコントロール回路の記載は本明細書中に含まれる。他方ユニポーラモータ、又は1又は2以上の単方向性モータ、ソレノイド等のいずれで表されるときも集積回路により駆動されるべきこの種の外部誘導負荷は、駆動されるべき外部負荷の特定の駆動コンフィギュレーション又は接続スキームと互換性の集積スイッチングコントロール回路の特別の設計を必要とする。添付図面の第1

a図、第1b図、第1c図及び第1d図中には、ブリッジ、デュアルハーフブリッジ、電磁石及びユニポーラモータ駆動コンフィギュレーションに従った誘導負荷(L)のためのいくつかの周知の駆動スキームがそれぞれ示されている。これらの例のうち、HSD1、HSD2(つまり2個のハイサイドドライバ)、LSD1、LSD2、LSD3及びLSD4(つまり4個のローサイドドライバ)で示される6個のパワースwitchングトランジスタがそれぞれ示され、それぞれにはその外部誘導負荷Lの放電電流の再循環のためのパワーダイオードが装着されている。第1c図に示した電磁石の駆動の場合には、当業者には周知であるように、集積回路は2個の付加的な再循環ダイオードD1及びD2を有することがある。全ての例において、仮想グラウンドノードとサブライ回路の真のグラウンド間に接続されている単一の検出抵抗(Rsense)が示されている。第1b図の回路つまり2個の外部負荷L及びL'用のデュアルハーフブリッジ駆動コンフィギュレーション

の場合は、前述の出願で述べたように、2個の負荷の個々のコントロールが望ましいときは、電流を保有する種類のスイッチングコントロール回路が必然的に必要となる。

従来技術によると、スイッチングをコントロールする集積回路は、実質的に例えばブリッジタイプの用途(第1a図)、ユニポーラモータの用途(第1d図)等のように意図する用途用として特別に設計しなければならない。

従って、外部接続された負荷の可能な多数の駆動スキーム間から選択出来る駆動スキーム用を使用出来るように内部的に形成出来る、外部誘導負荷(単一又は複数の負荷)を通る駆動電流のスイッチングをコントロールするための集積デバイスの有効性が確認できれば非常に利用価値が増大する。

(発明の目的と発明の概要)

本発明の主目的は、集積回路の出力ターミナルを好適にブリッジしそれに外部負荷を接続することにより実施される該外部負荷のある種のドライ

ビングスキームに機能的に適したコントロール回路を形成するために使用者によりコントロールできる選択論理手段により内部的に形成できる、スイッチングをコントロールするための集積回路を提供することである。

この目的及び引き続き説明で明らかになるであろう他の目的及び利点は本発明のスイッチングモードの駆動回路により達成され、これは、4個の「ローサイドドライバ」が接続された仮想グラウンドノードとサブライ回路の真のグラウンド間に接続された単一の検出抵抗を利用し、かつその「衝撃係数」がクロッキング信号及び参照電圧により決定されるコントロール信号を少なくとも発生できる単一のPWMコントロールループを都合良く使用できる。PWMコントロールループにより発生するこのコントロール信号は、読み出し専用メモリ(ROM)及び/又は類似のプログラムできる論理アレイ(PLA)及び好適な選択レジスタ(プログラミングレジスタ)を含んで成る形成可能な論理回路の入力へ実質的に供給

される。この形成できる論理回路は、実施される選択されたドライビングスキームと適合するよう使用される出力パワースイッチングトランジスタ（つまり4個の「ローサイドドライバ」及び単一の又は2個の「ハイサイドドライバ」）と同数のドライビングシグナルを生成する。

本発明の好ましい実施例によると、比較的遅いROM又はPLA、つまり比較的長いアクセスタイムを有するROM又はPLAの使用を、外部負荷のスイッチングモードにおける正確な駆動への負の効果を有するプログラムできる論理回路のこのようなスピードの制限なしに、可能にする。

（図面の簡単な説明）

第1a図、第1b図、第1c図及び第1d図は、上述の通り従来技術に通常採用される1又は2以上の外部負荷の駆動スキーム、第2図は、本発明実施例の集積駆動回路の基本ブロックダイアグラム、第3図は、比較的長いアクセスタイムを有するプログラムできるデバイスを利用するために好適な本発明実施例のブロックダイアグラムであり、

第4図は、第3図のブロックダイアグラムの1つの回路ダイアグラムであり、第5図は、本発明実施例の回路のより詳細な機能的なブロックダイアグラムである。

（好ましい態様の説明）

本発明実施例の集積駆動回路の基本的なブロックダイアグラムが第2図に示されている。サプライレールV_Sに接続された2個のパワーデバイスつまり2個の「ハイサイドドライバ」HSD1及びHSD2、及び出力サブライ回路の仮想グラウンドノードVGに接続された4個のパワーデバイスつまり4個の「ローサイドドライバ」LSD1、LSD2、LSD3及びLSD4が、全体として6個の別個の出力ターミナルHSD1、HSD2、LSD1・・・LSD4を有するブロックで示された「パワードライバ」により表され、ここでは第1a図から第1d図までに示された単一又は複数の負荷のためのサブライスキームの任意のものの使用が意図されている。第2図に示された特別な例では、意図されるサブライスキーム

が電磁石をコントロールするために使用されるものであることが容易に認識される。負荷Lは、それぞれが示されたような外部接続により並列に接続された2個の「ハイサイドドライバ」と4個の「ローサイドドライバ」間に接続されている。

この集積デバイスは、好ましくは前記したような仮想グラウンドターミナルVGと真のグラウンド間に、前記外部負荷Lにパワーを与える外部検出抵抗R_{sense}の接続を許容する外部ターミナルVGを有している。

一般に前記6個のパワースイッチングデバイスは、通常は第1a図、第1b図、第1c図及び第1d図に示すように、再循環用の集積ダイオードを有している。

検出抵抗R_{sense}を横切る電圧シグナルはPWMブロックに供給され、そこでこのようなシグナルは検出されかつコントロール参照電圧V_{ref}と比較され、パルス幅変調コントロール回路は、その周波数及び「衝撃係数」が前記コントロール参照電圧V_{ref}及びクロックシグナルにより調節さ

れるコントロールシグナルIN1を少なくとも発生させる。該シグナル（又は前に引用した出願明細書中に記述したように、2個の別個の負荷のためのデュアル・ハーフ・ブリッジサブライスキーム、又は単一の検出抵抗と単一のPWMコントロールループを利用するユニポーラモータ用のサブライスキームの場合に必要とされる2個の重ならないドライビングシグナルが使用される）は直接供給されるのでもインバーターを通過して6個の出力パワースイッチングデバイスのそれぞれのドライビングターミナルに供給されるのでもなく、このようなドライビングシグナル（又は2個の重ならないドライビングシグナル）はプログラミングにより形成され、かつPWMコントロールループにより発生するこのような単一シグナルIN1（又は2個の重ならないシグナル）のレプリカ又は反転シグナルであるシグナルを少なくともその6個の出力ターミナル上に発生するROM-PLAと表示される論理回路の入力に供給される。形成できる論理回路（ROM-PLA）の出力シグ

ナル(CA、CB、C0、C1、C2及びC3)は、出力パワードライバーの6個のドライビングターミナルにそれぞれ供給される。形成できる論理回路(ROM-PLA)は、少なくとも集積回路のそれぞれの出力ターミナルに接続された(明らかなように選択されたコンフィギュレーションと適合するように)外部負荷のドライビングコンフィギュレーションの選択のための第1のレジスタ-R1と、このように接続された負荷のドライビング条件をコントロールするための第2のレジスタ-R2と、好ましくは2個のレジスタのデータを記憶できる読み出し専用メモリ(ROM)及び/又はそのコンフィギュレーションがプログラムされた(PLA)論理回路アレイ及び/又は等価の組み合わせ論理回路を含み、前記2個のレジスタ-R1及びR2に記憶されたデータに適合する前記6個の出力シグナルのコンフィギュレーションを決定する。

比較的長いアクセスタイムを有するROM及び/又はPLAを使用する場合には特に、プログラ

ムできる回路のアクセスタイムに起因する遅れが外部負荷のスイッチングモードの正確なドライビングの障害になるという事実を考慮すると、ROM用及びPLA用の比較的長いアクセスタイムを決定するような製造技術の場合に特に好適な第3図及び第4図に示された態様が好ましい。

第3図に概略的に示したように、形成できる論理回路の6個の出力ターミナルCA、CB、C0、C1、C2及びC3のコンフィギュレーションを選択する機能は、それぞれH1、H2、L1・・・L4で特定される6個の「スピードアップ」回路を利用することにより行うことができる。各ブロックは、第4図に示すように、ANDゲートとそれに続くEX-ORゲートにより形成される。ROMから来るシグナル対の第1のシグナルはそれぞれの論理状態の「強制」シグナルとしてスピードアップ回路のANDゲートの入力ターミナルに供給され、第2のシグナルは「反転選択」シグナルとして前記スピードアップ回路のEX-ORゲートの入力ターミナルに供給される。この好ま

しい態様によると、本実施例の集積回路の読み出し専用機能を実施するための比較的遅いプログラム可能なアレイの使用が可能になる。

本発明のこのような特別に好ましい態様の回路のより詳細なダイアグラムが第5図に示されている。

第5図に示した実施例では、それぞれに再循環ダイオードが装着された6個の集積パワースwitchングデバイスHSD1、HSD2、LSD1、LSD2、LSD3及びLSD4が明確に示されている。各パワースwitchングデバイスはそれぞれの出力ターミナルをサブライレールV_s又は仮想グラウンドノードVGのいずれかにコミュートする。図示の実施例では、単一の外部検出抵抗R_{sense}が仮想グラウンドノードVGと、選択されたサブライスキームに従って適切な出力ターミナルに接続される1又は2以上の外部負荷(図示せず)のサブライ回路のグラウンド間に接続されている。明示されているように、各パワースwitchングデバイスは、それぞれプログラム可能な論

理回路の出力ターミナルCA、CB、C0、C1、C2及びC3から来るシグナルにより駆動される。

図示の接続により検出抵抗R_{sense}を横切って存在する電圧シグナル、及びコントロールシグナルV_{ref}及びクロックは實質的に通常タイプのPWMコントロール回路に供給される。PWMコントロール回路により生成するコントロールシグナルIN1はスピードアップ「フレキシビリティブリッジ」回路BPGの入力に供給され、該回路の一機能はブリッジコンフィギュレーションにありそれらの間で最終的にカップリングしている多数のハーフブリッジ回路をコントロールすることを許容することであり、例えば単一の左側のハーフブリッジ(第1b図に示されるようにスキームのHSD1、LSD1及びLSD2により形成される)を考慮することによりコントロールシグナルILは常にシグナルIN1又はその反転の関数でありつまり常に「ハイ」又は常に「ロー」であるため、これにより単一のコントロールシグナルIL又はIRによるドライビングのコントロールを

許容し(当業者により容易に理解できるように、「ローサイドドライバー」はそれぞれの「ハイサイドドライバー」に対して常に反転すると仮定する)、従ってBFG回路のANDゲート及びそれに続くEX-ORゲートは、ROMから来るそれぞれの左フェーズ(PL)及び左反転(XL)シグナルを通して関数: $I-L-S(IN1)$ をコントロールする。明らかなように、同じタイプのコントロールが、最後の右側のハーフブリッジ(第1b図のHSD2、HSD3及びLSD4から形成される)用のIRドライビングシグナルを発生させるためにROMから来るそれぞれのPR及びXRシグナルを通してBFG回路により複製される。このような解決法の利点は、二重のハーフブリッジコントロールを実施するために必要な素子数を少なくすること、及び第3図及び第4図のより一般的なスキームに関連して見てきた通りPWMコントロール回路により発生するシグナルIN1及びコントロールシグナルIL及び/又はIR間の遅れが常に極端に小さく維持されるため非常

に遅いROMを使用する可能性を提示できることである。

当業者には明らかな通り、「フルブリッジ」サブライスキームが利用される場合には、「電流保有」CSブロックの機能は最早必要とされず、ROMから来る「CS使用禁止」シグナルはCSブロックの2個のOR出力ゲートを使用禁止にするように「1」に等しい論理値を有している。「デュアルハーフブリッジ」又は「ユニポーラモータ」サブライスキームが選択される場合には、「CS使用禁止」シグナルは「0」論理値を有し、電流保有コントロール回路「CSC」の2個の出力シグナル「IL使用可能」及び「IR使用可能」シグナルは2個のANDゲートのそれぞれの入力へ供給される。実質的に1988年9月16日提出の特願昭63-245657号の第4図に示された回路のシグナルPA及びPBに実質的に対応するつまり「IL使用可能」及び「IR使用可能」シグナルである、2個のANDゲートの出力シグナルIL及びIRはその回路の2個のシグナルQ_a及びQ_bに

実質的に対応している。

ブリッジスキームが選択された場合には、2個のANDゲートの2個の出力シグナルIL及びIRはリブリア及び反転の形態で図示のインバーターを通して、ラグタイム発生回路「RTL」へつまり正のランプの移動のある遅れを決定できる回路へ供給され、該回路は通常の技術に従って「ハイサイドドライバー」及び「ローサイドドライバー」の同時導電を積極的に除外する機能を有する。シグナル対IL'及びIL'、IR'及びIRはそれぞれ続いて説明するように、マルチプレクサ「MX」を通してパワースイッチングデバイスのそれぞれのドライビングターミナルへ供給される。

ユニポーラモータモードの動作がレジスターR1により選択された場合は(第1d図のスキーム)、4個のコントロールフェーズ(フェーズ1、2、3及び4)がレジスターR2によりセットされ、図示の接続を通してこれらのシグナルはマルチプレクサMXのそれぞれの入力に供給され、該入力

には前述したようにPWMコントロール回路、CS電流保有回路及びBFG回路で発生した2個のコントロールシグナルIR及びILも供給される。ROMから来る「ユニポーラ/ブリッジ選択」シグナルによりマルチプレクサは予備設定され、それぞれ6個のパワースイッチングデバイス用の6個のドライビングシグナルCA、CB、C3、C2、C1及びC0はROMから来るそれぞれ「R使用可能」及び「L使用可能」である2個の使用可能/使用禁止シグナルにより使用可能にされ、それらはマルチプレクサMXの6個の出力上に接続された6個のANDゲートにより、ドライビングシグナルをオフ状態(使用禁止)にすることを許容する。

マルチプレクサの使用は、互いに大きく異なったブリッジタイプ及びユニポーラモータタイプのサブライスキーム間の選択を実施するために特に効果的であり、これは本発明実施例の集積デバイスで使用されるプログラム可能な論理回路を動作させるために必要な素子の数を減少させるこ

とを可能にする。

ブリッジタイプサプライスキーム又はソレノイドコントロールの実施に関するドライビングシグナルは、第5図中に「ブリッジドライビングシグナル」と表示されて分類され、一方ユニポーラモータサプライスキームの実施に関するドライビングシグナルの全体は同じ第5図のダイアグラムに「ユニポーラドライビングシグナル」として表示されている。

ROMが使用される僅かな本発明の実施例のみを例示したが、ROMは例えばプログラム可能な論理アレイ (PLA、PAL等) 又は等価な組み合わせられた論理回路のような等価な論理回路と置換できることが当業者には明らかであろう。更に本発明は、純粋に例示の目的で説明した実施例に関して修正した異なった態様で実施することもできる。

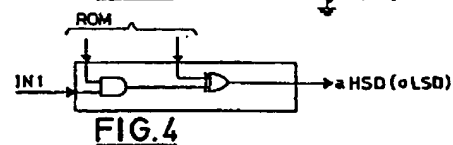
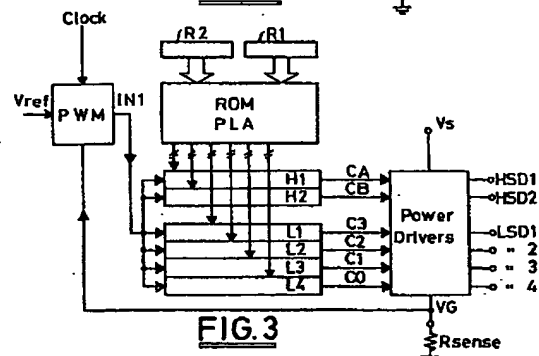
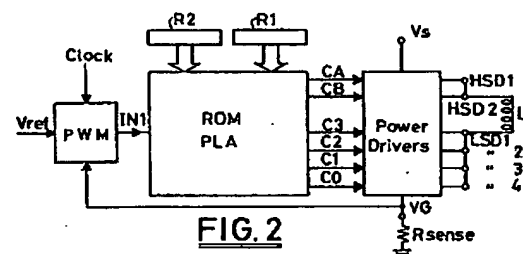
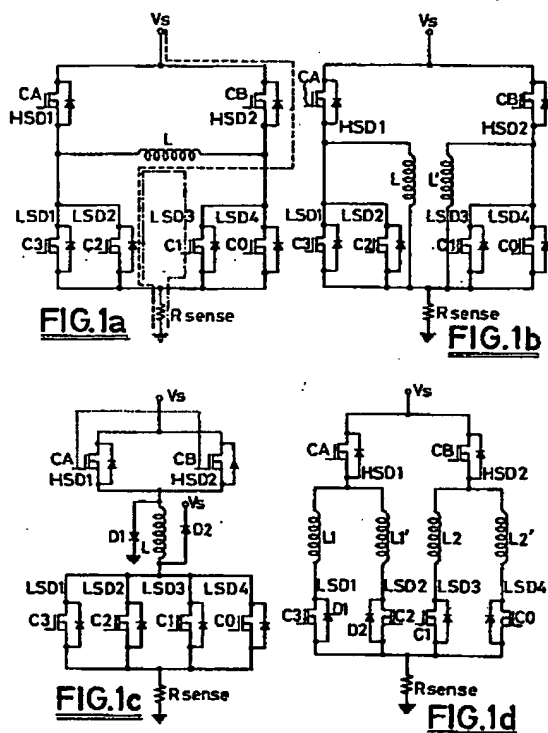
4. 図面の簡単な説明

第1a図、第1b図、第1c図及び第1d図は、従来技術に通常採用される1又は2以上の外部負荷のドライビングスキーム、第2図は、本発明実

施例の集積駆動回路の基本ブロックダイアグラム、第3図は、比較的長いアクセスタイムを有するプログラムできるデバイスを利用するために好適な本発明実施例のブロックダイアグラムであり、第4図は、第3図のブロックダイアグラムの1つの回路ダイアグラムであり、第5図は、本発明実施例の回路のより詳細な機能的なブロックダイアグラムである。

特許出願人 エッセヂエッセートムソン
マイクロエレクトロニクス
エッセ・エッレ・エッレ

同代理人 弁理士 森 浩 之



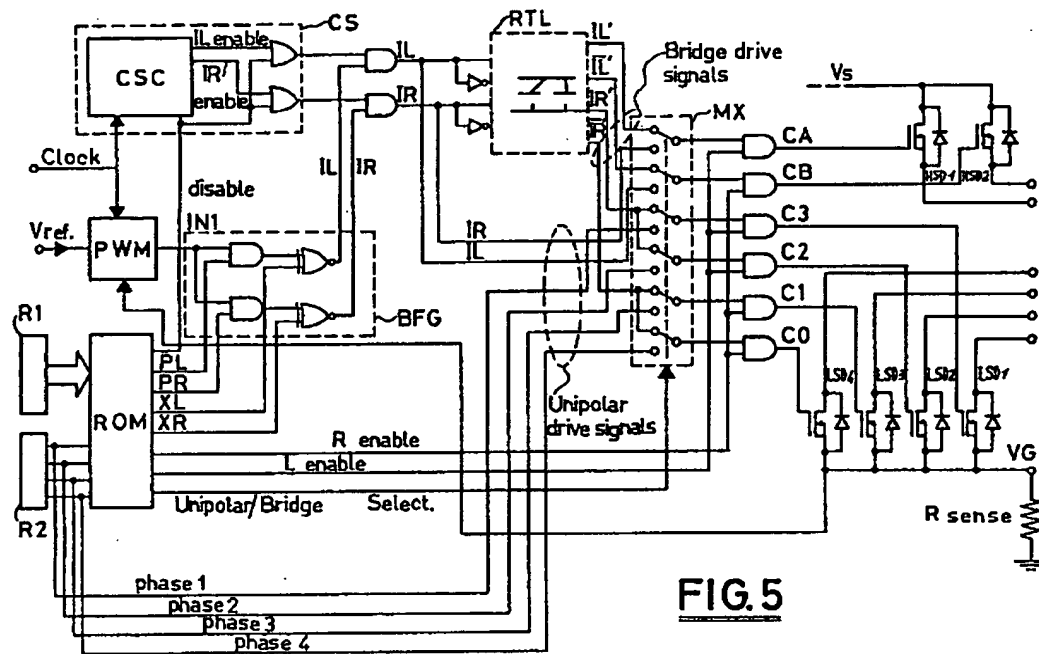


FIG.5

第1頁の続き

⑦発明者 アンドレア クオモ イタリア国 ミラノ 20122 ビイアレ ペアトリス デ
ステ 40
⑧発明者 ジョバンニ ピエトロ イタリア国 トレビソ 31100 ビイア ステファニ
ボン 18